

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application: October 21, 2002

Application Number: Japanese Patent Application
 No. 2002-306041
 [JP2002-306041]

Applicant(s): FUJITSU MEDIA DEVICES LIMITED
 FUJITSU LIMITED

April 25, 2003

Commissioner,
Japan Patent Office

Shinichiro Ohta (Seal)

Certificate No. 2003-3031061

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年10月21日

出 願 番 号

Application Number:

特願2002-306041

[ST.10/C]:

[JP 2002-306041]

出 願 人

Applicant(s):

富士通メディアデバイス株式会社
富士通株式会社

2003年 4月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2003-3031061

【書類名】 特許願

【整理番号】 02082301

【提出日】 平成14年10月21日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03H 9/25

【発明の名称】 弾性表面波フィルタ及びフィルタ装置

【請求項の数】 18

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 中谷 忠司

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 宮下 勉

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 佐藤 良夫

【特許出願人】

 【識別番号】 398067270

 【氏名又は名称】 富士通メディアデバイス株式会社

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100087480

 【弁理士】

 【氏名又は名称】 片山 修平

【電話番号】 043-351-2361

【手数料の表示】

【予納台帳番号】 153948

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0117701

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 弾性表面波フィルタ及びフィルタ装置

【特許請求の範囲】

【請求項 1】 直列共振器と並列共振器とが梯子型に接続された弾性表面波フィルタにおいて、

前記並列共振器の静電容量を C_{op} とし、前記直列共振器の静電容量を C_{os} とし、中心周波数を f_0 とし、公称インピーダンスを R とした場合、以下の式

$$1 \times 10^6 \leq 4 \pi^2 f_0^2 R^2 C_{op} C_{os} \leq 3.1 \times 10^6$$

を満足する構成を有することを特徴とする弾性表面波フィルタ。

【請求項 2】 直列共振器と並列共振器とが梯子型に接続された弾性表面波フィルタにおいて、

前記並列共振器の静電容量を C_{op} とし、前記直列共振器の静電容量を C_{os} とし、中心周波数を f_0 とし、公称インピーダンスを R とした場合、以下の式

$$1.3 \times 10^6 \leq 4 \pi^2 f_0^2 R^2 C_{op} C_{os} \leq 3.1 \times 10^6$$

を満足する構成を有することを特徴とする弾性表面波フィルタ。

【請求項 3】 直列共振器と並列共振器とが梯子型に接続された弾性表面波フィルタにおいて、

前記並列共振器の静電容量を C_{op} とし、前記直列共振器の静電容量を C_{os} とし、中心周波数を f_0 とし、公称インピーダンスを R とした場合、以下の式

$$1.6 \times 10^6 \leq 4 \pi^2 f_0^2 R^2 C_{op} C_{os} \leq 2.9 \times 10^6$$

を満足する構成を有することを特徴とする弾性表面波フィルタ。

【請求項 4】 前記静電容量 C_{op} と前記静電容量 C_{os} との比 C_{op}/C_{os} が 0.5 であることを特徴とする請求項 1 から 3 の何れか 1 項に記載の弾性表面波フィルタ。

【請求項 5】 請求項 1 から 4 の何れか 1 項に記載の前記弾性表面波フィルタにおいて、

少なくとも前記直列共振器及び前記並列共振器を構成する櫛形電極が誘電体膜により被覆されていることを特徴とする弾性表面波フィルタ。

【請求項 6】 前記中心周波数 f_0 が 5 GHz 帯であることを特徴とする請

求項 1 から 5 の何れか 1 項に記載の弾性表面波フィルタ。

【請求項 7】 前記直列共振器と前記並列共振器とが 4 段に接続されていることを特徴とする請求項 1 から 6 の何れか 1 項に記載の弾性表面波フィルタ。

【請求項 8】 直列共振器と並列共振器とが梯子型に接続され、前記並列共振器の静電容量を C_{op} とし、前記直列共振器の静電容量を C_{os} とし、中心周波数を f_0 とし、公称インピーダンスを R とした場合、以下の式

$$1 \times 10^6 \leq 4 \pi^2 f_0^2 R^2 C_{op} C_{os} \leq 3.1 \times 10^6$$

を満足する構成を有する弾性表面波フィルタが、パッケージにワイヤボンディング実装されており、

前記パッケージの信号端子と前記弾性表面波フィルタの信号電極とが 1 本のボンディングワイヤで接続されており、

前記ボンディングワイヤのインダクタンス L_i が以下の式

$$0.8 \leq L_i \leq 1.5$$

を満足する構成を有することを特徴とするフィルタ装置。

【請求項 9】 直列共振器と並列共振器とが梯子型に接続され、前記並列共振器の静電容量を C_{op} とし、前記直列共振器の静電容量を C_{os} とし、中心周波数を f_0 とし、公称インピーダンスを R とした場合、以下の式

$$1.3 \times 10^6 \leq 4 \pi^2 f_0^2 R^2 C_{op} C_{os} \leq 3.1 \times 10^6$$

を満足する構成を有する弾性表面波フィルタが、パッケージにワイヤボンディング実装されており、

前記パッケージの信号端子と前記弾性表面波フィルタの信号電極とが 1 本のボンディングワイヤで接続されており、

前記ボンディングワイヤのインダクタンス L_i が以下の式

$$0.8 \leq L_i \leq 1.5$$

を満足する構成を有することを特徴とするフィルタ装置。

【請求項 10】 直列共振器と並列共振器とが梯子型に接続され、前記並列共振器の静電容量を C_{op} とし、前記直列共振器の静電容量を C_{os} とし、中心周波数を f_0 とし、公称インピーダンスを R とした場合、以下の式

$$1.6 \times 10^6 \leq 4 \pi^2 f_0^2 R^2 C_{op} C_{os} \leq 2.9 \times 10^6$$

を満足する構成を有する弾性表面波フィルタが、パッケージにワイヤボンディング実装されており、

前記パッケージの信号端子と前記弾性表面波フィルタの信号電極とが1本のボンディングワイヤで接続されており、

前記ボンディングワイヤのインダクタンス L_i が以下の式

$$0.8 \leq L_i \leq 1.5$$

を満足する構成を有することを特徴とするフィルタ装置。

【請求項11】 直列共振器と並列共振器とが梯子型に接続され、前記並列共振器の静電容量を C_{op} とし、前記直列共振器の静電容量を C_{os} とし、中心周波数を f_0 とし、公称インピーダンスを R とした場合、以下の式

$$1 \times 10^6 \leq 4 \pi^2 f_0^2 R^2 C_{op} C_{os} \leq 3.1 \times 10^6$$

を満足する構成を有する弾性表面波フィルタが、パッケージにフリップチップ実装されており、

前記パッケージの信号線がマイクロストリップラインからなり、

前記マイクロストリップラインのインダクタンス L_i が以下の式

$$0.8 \leq L_i \leq 1.5$$

を満足する構成を有することを特徴とするフィルタ装置。

【請求項12】 直列共振器と並列共振器とが梯子型に接続され、前記並列共振器の静電容量を C_{op} とし、前記直列共振器の静電容量を C_{os} とし、中心周波数を f_0 とし、公称インピーダンスを R とした場合、以下の式

$$1.3 \times 10^6 \leq 4 \pi^2 f_0^2 R^2 C_{op} C_{os} \leq 3.1 \times 10^6$$

を満足する構成を有する弾性表面波フィルタが、パッケージにフリップチップ実装されており、

前記パッケージの信号線がマイクロストリップラインからなり、

前記マイクロストリップラインのインダクタンス L_i が以下の式

$$0.8 \leq L_i \leq 1.5$$

を満足する構成を有することを特徴とするフィルタ装置。

【請求項13】 直列共振器と並列共振器とが梯子型に接続され、前記並列共振器の静電容量を C_{op} とし、前記直列共振器の静電容量を C_{os} とし、中心周波

数を f_0 とし、公称インピーダンスを R とした場合、以下の式

$$1.6 \times 10^6 \leq 4\pi^2 f_0^2 R^2 C_{op} C_{os} \leq 2.9 \times 10^6$$

を満足する構成を有する弾性表面波フィルタが、パッケージにフリップチップ実装されており、

前記パッケージの信号線がマイクロストリップラインからなり、

前記マイクロストリップラインのインダクタンス L_i が以下の式

$$0.8 \leq L_i \leq 1.5$$

を満足する構成を有することを特徴とするフィルタ装置。

【請求項 14】 前記静電容量 C_{op} と前記静電容量 C_{os} との比 C_{op}/C_{os} が 0.5 であることを特徴とする請求項 8 から 13 の何れか 1 項に記載のフィルタ装置。

【請求項 15】 請求項 8 から 14 の何れか 1 項に記載の前記フィルタ装置において、

少なくとも前記直列共振器及び前記並列共振器を構成する櫛形電極が誘電体膜により被覆されていることを特徴とするフィルタ装置。

【請求項 16】 前記中心周波数 f_0 が 5 GHz 帯であることを特徴とする請求項 8 から 15 の何れか 1 項に記載のフィルタ装置。

【請求項 17】 前記直列共振器と前記並列共振器とが 4 段に接続されていることを特徴とする請求項 8 から 16 の何れか 1 項に記載のフィルタ装置。

【請求項 18】 前記パッケージはセラミック製であることを特徴とする請求項 8 から 17 の何れか 1 項に記載のフィルタ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、弾性表面波フィルタ及びフィルタ装置に関する。

【0002】

【従来の技術】

現行の携帯電話機や無線 LAN (Local Area Network) システムには 800 MHz 帯や 1.9 GHz 帯、2.4 GHz 帯などの周波数が利

用されているが、情報量の増大や高速通信の需要により 5 G H z 帯などの高周波帯に移行しつつある。これに伴い、5 G H z 以上の周波数帯で動作する帯域通過フィルタが求められている。

【 0 0 0 3 】

このような中、弾性表面波 (S u r f a c e A c o u s t i c W a v e : S A W) フィルタは、その急峻なカットオフ特性と、小型軽量・安価の特徴から、携帯電話機などの移動体通信機器の R F 帯フィルタ、I F 帯フィルタとして欠かせない存在になっている。

【 0 0 0 4 】

S A W フィルタは、タンタル酸リチウム結晶などの圧電性基板上に電極としてアルミニウムなどの薄膜を櫛形に加工して作製される。また、作製した基板をチップ状に切断した後、数 m m 角の大きさのセラミックパッケージに搭載し、ボンディングワイヤ等により電氣的に接続された構成を有する。

【 0 0 0 5 】

一般的に携帯電話機用フィルタに要求される低損失・広帯域で急峻な通過特性を得る手段の 1 つとして、櫛形電極で構成した S A W 共振器を梯子型に接続したラダー型 S A W フィルタが知られている。これは他の方式の S A W フィルタに比べて損失の点で高周波化に適していると言われている (例えば、以下に示す特許文献 1 参照)。

【 0 0 0 6 】

ラダー型 S A W フィルタでは、梯子型に接続した並列 S A W 共振器及び直列 S A W 共振器の開口長及び対数を変えて静電容量を調整することで、入出力インピーダンスを外部回路のそれと整合させることができる。このような、インピーダンス整合のための S A W 共振器の静電容量調整方法としては、以下に示す特許文献 1 に開示されている。即ち、中心周波数を f_0 、並列共振器の静電容量を C_{op} 、直列共振器の静電容量を C_{os} 、公称インピーダンスを R としたとき、定 K 型フィルタの条件及び中心周波数近傍では並列共振器の共振周波数と直列共振器の反共振周波数とが略等しいことなどから、以下の式 1 が理論的整合条件となる。尚、移動無線の R F 部の帯域通過フィルタなどにおける公称インピーダンス R は通

常 $50\ \Omega$ である。

$$1 / (\omega_0^2 C_{op} C_{os}) = R^2, \quad \omega_0 = 2\pi f_0 \quad \dots (式1)$$

【0007】

更に、ラダー型 SAW フィルタの実測された入出力インピーダンスから求められる最適な整合条件は、以下の式 2 で与えられる。尚、並列共振器の静電容量 C_{op} の中心は、以下の式 3 で与えられる。

$$-0.28 C_{os} + 3448 / f_0 - 746 / f_0 \leq C_{op} \leq -0.28 C_{os} + 3448 / f_0 + 746 / f_0 \quad \dots (式2)$$

$$C_{op} = -0.28 C_{os} + 3448 / f_0 \quad \dots (式3)$$

【0008】

ここで、フィルタ特性の中心周波数 f_0 を 5.25 GHz とした場合において、上記の式 2 で示した整合条件を満たす C_{op} と C_{os} との範囲を図 1 に示す。また、 C_{op} と C_{os} とが図 1 の斜線部で示される範囲に入るように並列 SAW 共振器及び直列 SAW 共振器の開口長及び対数を設計して作製したラダー型 SAW フィルタのフィルタ特性を図 2 に示す。尚、この例では、電極膜にアルミニウム (Al) - 1% 銅 (Cu) を使用した。また、このラダー型 SAW フィルタの等価回路を図 3 に示す。尚、図 3 において、S は直列 SAW 共振器を示し、P は並列 SAW 共振器を示す。

【0009】

図 2 を参照すると明らかなように、このラダー型 SAW フィルタのフィルタ特性における中心周波数は 5.2 GHz であり、 4 dB 帯域幅は 230 MHz 、最小挿入損失は 2 dB であった。尚、この詳細については、以下に挙げる非特許文献 2 に示されている。

【0010】

また、上記とは別に、フィルタ特性の中心周波数 f_0 を 1.9 GHz とした場合において、上記の式 2 で示した整合条件を満たす C_{op} と C_{os} との範囲を図 4 に示す。尚、このラダー型 SAW フィルタの等価回路は図 3 と同様である。

【0011】

以上から分かるように、フィルタの中心周波数 f_0 を高く設計するほど、SA

W共振器の静電容量を小さくしなければならない。例えば重要な設計パラメータの1つである C_{op} と C_{os} との比 C_{op}/C_{os} の値を標準的な0.5とすると、図4に示すように、1.9 GHz帯フィルタでは C_{op} が1～1.5 pF程度となり、 C_{os} が2～3 pF程度となる。これに対して、5 GHz帯のSAWフィルタでは、図1に示すように、 C_{op} が0.3～0.5 pF程度となり、 C_{os} が0.6～1 pF程度にまで小さくなる。

【0012】

しかしながら、SAW共振器の静電容量を小さくすると、SAWフィルタチップを搭載するセラミックパッケージにおける信号端子と接地端子との間に存在する浮遊静電容量（通常は0.4 pF程度）や、SAWフィルタチップにおける信号電極と接地電極との間に存在する浮遊静電容量（通常は0.1 pF程度）の影響が増大する。このため、インピーダンスの整合状態が悪化し、結果的にSAWフィルタの挿入損失が悪化するという問題が引き起こされる。

【0013】

このような浮遊静電容量を低減する手法として、以下に挙げる特許文献2には、パッケージ内部のメタライズ領域を最小限にすることで、メタライズ領域上に形成された電極膜との浮遊静電容量を低減する方法が開示されている。また、この他の手法として、以下に挙げる特許文献3には、圧電性基板上に信号電極と接地電極とを10 μ m以上の距離をおいて形成することで、浮遊静電容量を低減する方法が開示されている。

【0014】

【特許文献1】

特開平6-69750号公報

【特許文献2】

特開平11-205080号公報

【特許文献3】

特開平10-13183号公報

【非特許文献1】

「携帯電話用RF帯SAWフィルタ」佐藤良夫，伊形理，電子情報

通信学会誌, Vol. 84, No. 11, pp 782-789 (2001年
11月)

【非特許文献2】

「5GHz帯ラダー型SAWフィルタの開発」中谷忠司, 西原時弘,
宮下勉, 佐藤良夫, 2001年電子情報通信学会基礎・境界ソサイエティ大会
SA-3-9, p 289 (2001年9月)

【0015】

【発明が解決しようとする課題】

しかしながら、これらの手法によって低減される浮遊静電容量の値は小さく、
上記した問題を解決するには不十分である。また、特許文献3が開示する手法で
は、電極間距離を離すほどチップが大型化してしまうと共に、配線長が増加して
しまい、配線抵抗による損失が増大するという問題を有する。

【0016】

本発明は係る問題に鑑みてなされたものであり、チップの大型化を防止しつ
つ、浮遊静電容量が低減された弾性表面波フィルタ及びフィルタ装置を提供するこ
とを目的とする。

【0017】

【課題を解決するための手段】

かかる目的を達成するために、本発明は、請求項1記載のように、直列共振器
と並列共振器とが梯子型に接続された弾性表面波フィルタにおいて、前記並列共
振器の静電容量を C_{op} とし、前記直列共振器の静電容量を C_{os} とし、中心周波数
を f_0 とし、公称インピーダンスを R とした場合、以下の式
$$1 \times 10^6 \leq 4 \pi^2 f_0^2 R^2 C_{op} C_{os} \leq 3.1 \times 10^6$$

を満足する構成を有する。この式で与えられる設計範囲を満足するように構成す
ることで、チップの大型化を防止しつつ、浮遊静電容量が低減された弾性表面波
フィルタが実現される。

【0018】

また、本発明は、請求項2記載のように、直列共振器と並列共振器とが梯子型
に接続された弾性表面波フィルタにおいて、前記並列共振器の静電容量を C_{op} と

し、前記直列共振器の静電容量を C_{os} とし、中心周波数を f_0 とし、公称インピーダンスを R とした場合、以下の式

$$1. \quad 3 \times 10^6 \leq 4 \pi^2 f_0^2 R^2 C_{op} C_{os} \leq 3.1 \times 10^6$$

を満足する構成を有する。更に、この式で与えられる設計範囲を満足するように構成することで、チップの大型化を防止しつつ、浮遊静電容量がより低減された弾性表面波フィルタが実現される。

【0019】

また、本発明は、請求項3記載のように、直列共振器と並列共振器とが梯子型に接続された弾性表面波フィルタにおいて、前記並列共振器の静電容量を C_{op} とし、前記直列共振器の静電容量を C_{os} とし、中心周波数を f_0 とし、公称インピーダンスを R とした場合、以下の式

$$1. \quad 6 \times 10^6 \leq 4 \pi^2 f_0^2 R^2 C_{op} C_{os} \leq 2.9 \times 10^6$$

を満足する構成を有する。更に、この式で与えられる設計範囲を満足するように構成することで、チップの大型化を防止しつつ、浮遊静電容量がより低減された弾性表面波フィルタが実現される。

【0020】

また、請求項1から3の何れか1項に記載した前記弾性表面波フィルタは、例えば請求項4記載のように、前記静電容量 C_{op} と前記静電容量 C_{os} との比 C_{op}/C_{os} が0.5であるように構成される。

【0021】

また、請求項1から4の何れか1項に記載の前記弾性表面波フィルタは、好ましくは請求項5記載のように、少なくとも前記直列共振器及び前記並列共振器を構成する櫛形電極が誘電体膜により被覆されているように構成される。これにより、ダイシング工程での切削水や大気中の水分により櫛形電極が腐食することを防止することができる。

【0022】

また、請求項1から5の何れか1項に記載の前記弾性表面波フィルタは、例えば請求項6記載のように、前記中心周波数 f_0 が5GHz帯である構成を有する。

【 0 0 2 3 】

また、請求項 1 から 6 の何れか 1 項に記載の前記弾性表面波フィルタは、例えば請求項 7 記載のように、前記直列共振器と前記並列共振器とが 4 段に接続されている構成を有する。

【 0 0 2 4 】

また、本発明は、請求項 8 記載のように、直列共振器と並列共振器とが梯子型に接続され、前記並列共振器の静電容量を C_{op} とし、前記直列共振器の静電容量を C_{os} とし、中心周波数を f_0 とし、公称インピーダンスを R とした場合、以下の式

$$1 \times 10^6 \leq 4 \pi^2 f_0^2 R^2 C_{op} C_{os} \leq 3.1 \times 10^6$$

を満足する構成を有する弾性表面波フィルタが、パッケージにワイヤボンディング実装されており、前記パッケージの信号端子と前記弾性表面波フィルタの信号電極とが 1 本のボンディングワイヤで接続されており、前記ボンディングワイヤのインダクタンス L_i が以下の式

$$0.8 \leq L_i \leq 1.5$$

を満足する構成を有する。この式で与えられる設計範囲を満足するように構成することで、チップの大型化を防止しつつ、浮遊静電容量が低減されたフィルタ装置が実現される。

【 0 0 2 5 】

また、本発明は、請求項 9 記載のように、直列共振器と並列共振器とが梯子型に接続され、前記並列共振器の静電容量を C_{op} とし、前記直列共振器の静電容量を C_{os} とし、中心周波数を f_0 とし、公称インピーダンスを R とした場合、以下の式

$$1.3 \times 10^6 \leq 4 \pi^2 f_0^2 R^2 C_{op} C_{os} \leq 3.1 \times 10^6$$

を満足する構成を有する弾性表面波フィルタが、パッケージにワイヤボンディング実装されており、前記パッケージの信号端子と前記弾性表面波フィルタの信号電極とが 1 本のボンディングワイヤで接続されており、前記ボンディングワイヤのインダクタンス L_i が以下の式

$$0.8 \leq L_i \leq 1.5$$

を満足する構成を有する。更に、この式で与えられる設計範囲を満足するように構成することで、チップの大型化を防止しつつ、浮遊静電容量がより低減されたフィルタ装置が実現される。

【 0 0 2 6 】

また、本発明は、請求項 1 0 記載のように、直列共振器と並列共振器とが梯子型に接続され、前記並列共振器の静電容量を C_{op} とし、前記直列共振器の静電容量を C_{os} とし、中心周波数を f_0 とし、公称インピーダンスを R とした場合、以下の式

$$1.6 \times 10^6 \leq 4\pi^2 f_0^2 R^2 C_{op} C_{os} \leq 2.9 \times 10^6$$

を満足する構成を有する弾性表面波フィルタが、パッケージにワイヤボンディング実装されており、前記パッケージの信号端子と前記弾性表面波フィルタの信号電極とが 1 本のボンディングワイヤで接続されており、前記ボンディングワイヤのインダクタンス L_i が以下の式

$$0.8 \leq L_i \leq 1.5$$

を満足する構成を有する。更に、この式で与えられる設計範囲を満足するように構成することで、チップの大型化を防止しつつ、浮遊静電容量がより低減されたフィルタ装置が実現される。

【 0 0 2 7 】

また、本発明は、請求項 1 1 記載のように、直列共振器と並列共振器とが梯子型に接続され、前記並列共振器の静電容量を C_{op} とし、前記直列共振器の静電容量を C_{os} とし、中心周波数を f_0 とし、公称インピーダンスを R とした場合、以下の式

$$1 \times 10^6 \leq 4\pi^2 f_0^2 R^2 C_{op} C_{os} \leq 3.1 \times 10^6$$

を満足する構成を有する弾性表面波フィルタが、パッケージにフリップチップ実装されており、前記パッケージの信号線がマイクロストリップラインからなっており、前記マイクロストリップラインのインダクタンス L_i が以下の式

$$0.8 \leq L_i \leq 1.5$$

を満足する構成を有する。この式で与えられる設計範囲を満足するように構成することで、チップの大型化を防止しつつ、浮遊静電容量が低減されたフィルタ装

置が実現される。

【 0 0 2 8 】

また、本発明は、請求項 1 2 記載のように、直列共振器と並列共振器とが梯子型に接続され、前記並列共振器の静電容量を C_{op} とし、前記直列共振器の静電容量を C_{os} とし、中心周波数を f_0 とし、公称インピーダンスを R とした場合、以下の式

$$1. \quad 3 \times 10^6 \leq 4 \pi^2 f_0^2 R^2 C_{op} C_{os} \leq 3.1 \times 10^6$$

を満足する構成を有する弾性表面波フィルタが、パッケージにフリップチップ実装されており、前記パッケージの信号線がマイクロストリップラインからなっており、前記マイクロストリップラインのインダクタンス L_i が以下の式

$$0.8 \leq L_i \leq 1.5$$

を満足する構成を有する。更に、この式で与えられる設計範囲を満足するように構成することで、チップの大型化を防止しつつ、浮遊静電容量がより低減されたフィルタ装置が実現される。

【 0 0 2 9 】

また、本発明は、請求項 1 3 記載のように、直列共振器と並列共振器とが梯子型に接続され、前記並列共振器の静電容量を C_{op} とし、前記直列共振器の静電容量を C_{os} とし、中心周波数を f_0 とし、公称インピーダンスを R とした場合、以下の式

$$1. \quad 6 \times 10^6 \leq 4 \pi^2 f_0^2 R^2 C_{op} C_{os} \leq 2.9 \times 10^6$$

を満足する構成を有する弾性表面波フィルタが、パッケージにフリップチップ実装されており、前記パッケージの信号線がマイクロストリップラインからなっており、前記マイクロストリップラインのインダクタンス L_i が以下の式

$$0.8 \leq L_i \leq 1.5$$

を満足する構成を有する。更に、この式で与えられる設計範囲を満足するように構成することで、チップの大型化を防止しつつ、浮遊静電容量がより低減されたフィルタ装置が実現される。

【 0 0 3 0 】

また、請求項 8 から 1 3 の何れか 1 項に記載の前記フィルタ装置は、例えば請

求項 1 4 記載のように、前記静電容量 C_{op} と前記静電容量 C_{os} との比 C_{op}/C_{os} が 0.5 であるように構成される。

【0031】

また、請求項 8 から 1 4 の何れか 1 項に記載の前記フィルタ装置は、請求項 1 5 記載のように、少なくとも前記直列共振器及び前記並列共振器を構成する櫛形電極が誘電体膜により被覆されているように構成される。これにより、ダイシング工程での切削水や大気中の水分により櫛形電極が腐食することを防止することができる。

【0032】

また、請求項 8 から 1 5 の何れか 1 項に記載の前記フィルタ装置は、例えば請求項 1 6 記載のように、前記中心周波数 f_0 が 5 GHz 帯である構成を有する。

【0033】

また、請求項 8 から 1 6 の何れか 1 項に記載の前記フィルタ装置は、例えば請求項 1 7 記載のように、前記直列共振器と前記並列共振器とが 4 段に接続されている構成を有する。

【0034】

また、請求項 8 から 1 7 の何れか 1 項に記載の前記フィルタ装置は、例えば請求項 1 8 記載のように、前記パッケージがセラミック製である構成を有する。

【0035】

【発明の実施の形態】

〔第 1 の実施形態〕

以下、並列 SAW 共振器（以下、単に並列共振器という）の静電容量 C_{op} と直列 SAW 共振器（以下、単に直列共振器という）の静電容量 C_{os} との積 $C_{op}C_{os}$ を設計することで、浮遊静電容量の影響を低減させるように構成した本発明の実施の形態を、第 1 の実施形態として図面を用いて詳細に説明する。

【0036】

図 5 は、本実施形態によるラダー型弾性表面波（SAW）フィルタ 10 の構造を示す上面図である。尚、ラダー型 SAW フィルタ 10 は、4 段の梯子型構造を有している。また、図 6 は、図 5 に示すラダー型 SAW フィルタ 10 をパッケー

ジ 2 0 に実装した場合の構成を示す断面図である。但し、図 6 は、図 5 における S A W 伝播方向に沿った断面を示している。

【 0 0 3 7 】

図 5 に示すように、本実施形態で用いるラダー型 S A W フィルタ 1 0 は、直列共振器 S (S 1 2 , S 3 4) と並列共振器 P (P 1 , P 2 3 , P 4) とがラダー型に接続されている。尚、直列共振器 S 1 2 , S 3 4 は 2 つの直列共振器 S が 1 つにまとめられた構成を有している。また、並列共振器 P 2 3 は同じく 2 つの並列共振器 P が 1 つにまとめられた構成を有している。

【 0 0 3 8 】

この構成において、直列共振器 S 及び並列共振器 P は、基板 1 1 上に形成された櫛形電極 (インターディジタルトランスデューサ : I D T) 1 2 を有して成る共振器領域と、この共振器領域に関して S A W 伝播方向の前後の基板 1 1 上に形成された反射電極 1 3 を有して成る反射器領域とを含んでなる。また、個々の I D T 1 2 は、配線部 1 4 を介して電極パッド部 1 5 に接続されており、この電極パッド部 1 5 を介してパッケージ 2 0 の電極パッド部 2 5 に接続される (図 6 参照) 。尚、 I D T 1 2 と反射電極 1 3 と配線部 1 4 と電極パッド部 1 5 とは、同一の導電層で形成すると良い。

【 0 0 3 9 】

また、図 6 を参照すると、ラダー型 S A W フィルタ 1 0 は、フェイスアップ状態でパッケージ 2 0 に収納される。この際、ラダー型 S A W フィルタ 1 0 の電極パッド部 1 5 は、金 (A u) や銅 (C u) やアルミニウム (A l) 等のボンディングワイヤ 2 1 (又はリボン等であってもよい) でパッケージ 2 0 における電極パッド部 2 5 に接続される。これにより、フィルタ装置 3 0 が構成される。また、フィルタ装置 3 0 の等価回路を図 7 に示す。尚、並列共振器 P 及び直列共振器の静電容量 C_{op} 及び C_{os} は、 I D T 1 2 の電極指周期と開口長と電極指の対数とで決定される値である。

【 0 0 4 0 】

このように構成されたフィルタ装置 3 0 に関し、パッケージ 2 0 の浮遊静電容量とボンディングワイヤ 2 1 のインダクタンスとラダー型 S A W フィルタ 1 0 の

チップにおける浮遊静電容量とを考慮して行ったシミュレーション結果を図 8 に示す。尚、図 8 において、左側のグラフは各サンプル（フィルタ装置）のフィルタ特性を示し、右側のグラフはスミスチャートを示す。また、図 8（a）は並列共振器 P と直列共振器 P との静電容量の積 $C_{op}C_{os}$ を上述した整合条件の式 2 から求められる値 $(C_{op}C_{os})_0$ の 0.6 倍として設計したフィルタ装置 30 のサンプルに対するシミュレーション結果を示し、図 8（b）は $C_{op}C_{os}$ を同じく $(C_{op}C_{os})_0$ の 1 倍として設計したフィルタ装置 30 のサンプルに対するシミュレーション結果を示し、図 8（c）は $C_{op}C_{os}$ を同じく $(C_{op}C_{os})_0$ の 2 倍として設計したフィルタ装置 30 のサンプルに対するシミュレーション結果を示し、図 8（d）は $C_{op}C_{os}$ を同じく $(C_{op}C_{os})_0$ の 2.7 倍として設計したフィルタ装置 30 のサンプルに対するシミュレーション結果を示す。更に、図 8 のシミュレーションに用いた各サンプルに対応するフィルタ特性の比較を図 9 に示す。

【 0 0 4 1 】

図 8 を参照すると明らかなように、並列共振器 P の静電容量 C_{op} と直列共振器 S の静電容量 C_{os} との比 C_{op}/C_{os} を 0.5 とした場合、静電容量 C_{op} 、 C_{os} の積 $C_{op}C_{os}$ の値を、上述した整合条件の式 2 から求められる値 $(C_{op}C_{os})_0$ の 2 倍としたときに（図 8（c）及び図 9（c））、インピーダンス整合がよい。また、図 9 を参照すると、同条件で設計したときに、通過帯域での挿入損失が最も低く、帯域幅が最も良くなることが分かる。

【 0 0 4 2 】

更に、これをより詳細に検証した場合のグラフを図 10 に示す。尚、図 10 は、 $C_{op}C_{os}/(C_{op}C_{os})_0$ を 0.7 から 3.1 まで変化させた場合のフィルタ特性における 4 dB 帯域幅を示すグラフである。図 10 を参照すると明らかなように、 $C_{op}C_{os}/(C_{op}C_{os})_0$ を 2.2 とした場合に、最も 4 dB 帯域幅が最も広い。これは、同条件で設計した場合にインピーダンス整合が最も良くなことを示している。

【 0 0 4 3 】

また、図 10 を参照すると明らかなように、良好なインピーダンス整合を達成

し得るためには、 $\text{CopCos} / (\text{CopCos})_0$ が 1.1 ~ 3.1 の範囲を満足するように設計すればよい。これは 4 dB 帯域幅を、 $\text{CopCos} / (\text{CopCos})_0 = 2.2$ とした場合の 4 dB 帯域幅から 20 MHz 以内に収めるための範囲である。また、より好ましくは、 $\text{CopCos} / (\text{CopCos})_0$ が 1.3 ~ 3.1 の範囲を満足するように設計すればよい。これは 4 dB 帯域幅を、 $\text{CopCos} / (\text{CopCos})_0 = 2.2$ とした場合の 4 dB 帯域幅から 10 MHz 以内に収めるための範囲である。更に、より好ましくは、 $\text{CopCos} / (\text{CopCos})_0$ が 1.6 ~ 2.9 の範囲を満足するように設計すればよい。これは 4 dB 帯域幅を、 $\text{CopCos} / (\text{CopCos})_0 = 2.2$ とした場合の 4 dB 帯域幅から 5 MHz 以内に収めるための範囲である。

【 0 0 4 4 】

これらのことから、望ましい条件は、以下の式 4 から式 6 で表される範囲となる。尚、 f_0 [GHz] は中心周波数を示し、 R [Ω] は公称インピーダンスを示す。

$$1.1 (\text{CopCos})_0 \leq \text{CopCos} \leq 3.1 (\text{CopCos})_0 \quad \cdots \text{(式 4)}$$

$$1.3 (\text{CopCos})_0 \leq \text{CopCos} \leq 3.1 (\text{CopCos})_0 \quad \cdots \text{(式 5)}$$

$$1.6 (\text{CopCos})_0 \leq \text{CopCos} \leq 2.9 (\text{CopCos})_0 \quad \cdots \text{(式 6)}$$

【 0 0 4 5 】

この際、 $(\text{CopCos})_0 = 1 / (\omega_0^2 R^2)$ とすると、上記の式 4 から式 6 は以下の式 7 から式 9 に置き換えることができる。

$$1 \times 10^6 \leq \omega_0^2 R^2 \text{CopCos} \leq 3.1 \times 10^6 \quad (\text{但し, } \omega_0 = 2\pi f_0) \quad \cdots \text{(式 7)}$$

$$1.3 \times 10^6 \leq \omega_0^2 R^2 \text{CopCos} \leq 3.1 \times 10^6 \quad (\text{但し, } \omega_0 = 2\pi f_0) \quad \cdots \text{(式 8)}$$

$$1.6 \times 10^6 \leq \omega_0^2 R^2 \text{CopCos} \leq 2.9 \times 10^6 \quad (\text{但し, } \omega_0 = 2\pi f_0) \quad \cdots \text{(式 9)}$$

【 0 0 4 6 】

ここで、静電容量を C [pF] とする共振器は次の式 10 及び式 11 によって開口長さ L [μm] 及び対数 N を求めることで設計できる。この詳細は、「SA

W共振器を用いた低損失帯域フィルタ」(佐藤良夫他、電子情報通信学会論文誌 A, Vol. J76-A, No. 2, pp 245-252 (1993年2月))で開示されている。

$$C = 2 C_{00} 1 N, \quad 1 = L / 100 \quad \dots (\text{式 } 10)$$

$$C_{00} = 2 \times 10^{-2} [\text{pF} / 100 \mu\text{m}] \quad \dots (\text{式 } 11)$$

【0047】

以上のことから、並列共振器の静電容量 C_{op} と直列共振器の静電容量 C_{os} との積 $C_{op}C_{os}$ が上述した式7又は式8、より好ましくは式9に示す条件を満たすように設計することで、チップの大型化を防止しつつ、インピーダンス整合を向上させ、ラダー型SAWフィルタの浮遊静電容量による影響を低減させることが可能となる。

【0048】

・具体例

次に、上述した構成を有するフィルタ装置30を具体的に設計した場合について、図面を用いて詳細に説明する。尚、以下の説明ではラダー型SAWフィルタ10の中心周波数 f_0 を5.25GHzとした。

【0049】

まず、ラダー型SAWフィルタ10を作製するにあたり、本実施形態では、基板11に42° Yカット-X伝播タンタル酸リチウム結晶基板を用いた。また、この基板11上に1%銅を添付したアルミニウムをスパッタで73nmの膜厚で成膜した後、フォトリソとRIEとでIDT12, 反射電極13, 配線部14及び電極パッド部15をパターニングした。次に、パターニングされた基板11をダイシングした後、作製されたラダー型SAWフィルタ10のチップをセラミックス製(ここではアルミニウム・窒素:アルミナ製)の外形3mm×3mmパッケージに搭載し、ボンディングワイヤ21によりワイヤボンディングした。

【0050】

この際、ラダー型SAWフィルタ10は静電容量 C_{op} の並列共振器と静電容量 C_{os} の直列共振器とが4段の梯子型に接続された構成とした。また、直列共振器Sと並列共振器Pとの静電容量の積 $C_{op}C_{os}$ は整合条件の理論式より得られる値

($C_{op}C_{os}$)₀の2倍とし、静電容量の比 C_{op}/C_{os} は0.5とした。つまり、 C_{op} が0.61 pFとなり、 C_{os} が1.21 pFとなるように、各直列共振器S及び並列共振器Pの開口長と対数とを決定した。具体的には、並列共振器Pが電極周期0.7343 μ m、開口長20 μ m、対数76であり、直列共振器Sが電極周期0.701 μ m、開口長10 μ m、対数303である。また、梯子型構造における中央では隣接する並列共振器Pを1つにまとめ、その静電容量を1つの並列共振器の2倍にした。即ち、開口長20 μ m、対数152である。

【0051】

以上のように構成したラダー型SAWフィルタ10における並列共振器P及び直列共振器Sの静電容量 C_{op} 、 C_{os} を図11に示す。また、比較例として、従来の設計によるラダー型SAWフィルタを構成する並列共振器P及び直列共振器Sの静電容量 C_{op} 、 C_{os} も図11に示す。尚、この比較例は、 $C_{op}C_{os}$ を($C_{op}C_{os}$)₀の1.2倍としたものであり、並列共振器Pが電極周期0.771 μ m、開口長20 μ m、対数59であり、直列共振器が電極周期0.7375 μ m、開口長10 μ m、対数235である。

【0052】

図11を参照すると明らかなように、本実施形態によるラダー型SAWフィルタ10の静電容量の積 $C_{op}C_{os}$ は、比較例の静電容量の積 $C_{op}C_{os}$ と比べて大きくなっている。これにより、浮遊静電容量の影響が低減される。

【0053】

また、本実施形態によるラダー型SAWフィルタ10をパッケージ20に実装したフィルタ装置30のフィルタ特性を図12に示す。また、比較例によるラダー型SAWフィルタをパッケージ20に実装したフィルタ装置のフィルタ特性も図12に破線で示す。図12を参照すると明らかなように、本実施形態によるフィルタ装置30のフィルタ特性の方が、比較例よりも広帯域で且つ帯域外抑制も大きい。尚、図12における-1~-6 dBの範囲の拡大図を図13に示す。また、図13における4 dB帯域幅を図14に示す。図14を参照すると明らかなように、比較例の4 dB帯域幅が230 MHzであるのに対し、本実施形態は300 MHzであり、明らかに広帯域となっている。即ち、本実施形態によるラダ

一型 S A W フィルタ 1 0 のインピーダンス整合が改善されたことが分かる。

【 0 0 5 4 】

〔第 2 の実施形態〕

次に、第 1 の実施形態において、ボンディングワイヤ 2 1 の長さを最適化し、そのインダクタンスによりパッケージ 2 0 の浮遊静電容量による影響を軽減するように構成した本発明の実施の形態を、第 2 の実施形態として図面を用いて詳細に説明する。尚、本実施形態によるラダー型 S A W フィルタ 1 0 及びパッケージ 2 0 は、第 1 の実施形態と同様であるため、ここでは説明を省略する。

【 0 0 5 5 】

図 1 5 は、ボンディングワイヤ 2 1 のインダクタンスを 0 . 5 n H , 1 n H , 1 . 5 n H とした場合の各サンプルのシミュレーション結果である。尚、図 1 5 において、左側のグラフは各サンプル（フィルタ装置）のフィルタ特性を示し、右側のグラフはスミスチャートを示す。また、図 1 5 (a) はボンディングワイヤ 2 1 のインダクタンスを 0 . 5 n H としたサンプルのシミュレーション結果であり、図 1 5 (b) はボンディングワイヤ 2 1 のインダクタンスを 1 n H としたサンプルのシミュレーション結果であり、図 1 5 (c) はボンディングワイヤ 2 1 のインダクタンスを 1 . 5 n H としたサンプルのシミュレーション結果である。更に、図 1 5 のシミュレーションに用いた各サンプルに対応するフィルタ特性の比較を図 1 6 に示す。

【 0 0 5 6 】

図 1 5 を参照すると明らかなように、ボンディングワイヤ 2 1 のインダクタンス L_i を 1 n H として設計したときに（図 1 5 (b) 及び図 1 6 (b) 参照）、インピーダンス整合がよい。また、図 1 6 から明らかなように、同条件で設計した場合に通過帯域での挿入損失が最も低く、帯域幅が最も広くなる。

【 0 0 5 7 】

・具体例

次に、上述した構成を有するフィルタ装置 3 0 を具体的に設計した場合について、図面を用いて詳細に説明する。尚、以下の説明でもラダー型 S A W フィルタ 1 0 の中心周波数 f_0 を 5 . 2 5 G H z としている。

【 0 0 5 8 】

ここでは、ラダー型 SAW フィルタ 1 0 と パッケージ 2 0 とを 1 本から 3 本の何れかのボンディングワイヤ 2 1 で接続した場合について、それぞれのフィルタ特性及び VSWR (Voltage Standing Wave Ratio) を比較し、検証する。

【 0 0 5 9 】

この際、ラダー型 SAW フィルタ 1 0 には第 1 の実施形態で示した具体的構成を用い、パッケージ 2 0 には外形 3 mm × 3 mm のアルミナ (アルミニウム・窒素) 製容器を用いる。また、各ボンディングワイヤ 2 1 には、長さ 1. 2 mm で直径 3 0 μ m のアルミニウム製ワイヤを用いる。

【 0 0 6 0 】

このように構成した場合の各サンプルのフィルタ特性及び VSWR を図 1 7 に示す。尚、図 1 7 において、上段のグラフは各サンプル (フィルタ装置) のフィルタ特性を示し、中段のグラフはスミスチャートを示し、下段のグラフは VSWR を示す。また、図 1 7 (a) は 1 本のボンディングワイヤ 2 1 を使用したサンプルに対するシミュレーション結果であり、この際のインダクタンスは 0. 2 5 nH である。また、図 1 7 (b) は 2 本のボンディングワイヤ 2 1 を使用したサンプルに対するシミュレーション結果であり、この際のインダクタンスは 0. 4 nH である。更に、図 1 7 (c) は 3 本のボンディングワイヤ 2 1 を使用したサンプルに対するシミュレーション結果であり、この際のインダクタンスは 0. 8 nH である。更に、図 1 7 におけるインダクタンスに対する VSWR を図 1 8 に示す。

【 0 0 6 1 】

図 1 7 及び図 1 8 を参照すると明らかなように、ボンディングワイヤ 2 1 の本数を増やすことにより、この部分によるインダクタンスが小さくなり、インピーダンス整合が悪化する。この結果、通過帯域内の損失と VSWR が大きくなる。従って、本実施形態では、VSWR を 2 以下に抑えるために、ボンディングワイヤ 2 1 を 2 本以下、より好ましくは 1 本にすることがよい。これにより、浮遊静電容量の影響を軽減することが可能となる。

【 0 0 6 2 】

このことから、満足するインピーダンス整合を達成し得るためには、ボンディングワイヤ 2 1 のインダクタンス L_i を以下の式 1 2 で示す範囲を満足するように設計すれば良いことが読み取れる。尚、インダクタンス L_i の式 1 2 における上限は、効果的な値の上限であり、これ以上とした場合でもその効果はあまり得られない。

$$0.7 \leq L_i \leq 1.3 \quad \dots (\text{式 } 12)$$

【0063】

ここで、通常使用されるボンディングワイヤ 2 1 の材料は 1 mm 当たり略 0.85 nH のインダクタンスを持つ。従って、上記の式 1 2 を満足するためには、ボンディングワイヤ 2 1 の長さ L_n [mm] が以下の式 1 3 を満足するように設計すればよい。

$$0.8 \leq L_n \leq 1.5 \quad \dots (\text{式 } 13)$$

【0064】

以上のことから、ボンディングワイヤ 2 1 の長さが上述した式 1 3 に示す条件を満足するように設計することで、インピーダンスの整合性が向上し、ラダー型 SAW フィルタの浮遊静電容量の影響を低減させることが可能となる。

【0065】

〔第 3 の実施形態〕

また、上記の第 1 の実施形態では、ラダー型 SAW フィルタ 1 0 をフェイスアップ状態でパッケージ 2 0 に収容し、これらをボンディングワイヤ 2 1 で接続した場合について説明したが、本発明はこれに限定されず、ラダー型 SAW フィルタ 1 0 をパッケージ 2 0 にフェイスダウン状態でフリップチップ実装してもよい。以下、この場合を第 3 の実施形態として図面を用いて詳細に説明する。

【0066】

図 1 9 は、本実施形態によるフィルタ装置 5 0 の構成を示す断面図である。尚、フィルタ装置 5 0 を構成するラダー型 SAW フィルタ 1 0 は、第 1 の実施形態と同様のものを用いる（図 5 参照）。

【0067】

図 1 9 に示すように、本実施形態においてラダー型 SAW フィルタ 1 0 は、フ

ェイスダウン状態でパッケージ40に收容される。この際、ラダー型SAWフィルタ10の電極パッド部15とパッケージ40の電極パッド部25とは、AuやAlや半田等の金属の bumps 41により接続される。

【0068】

以上の構成において、ラダー型SAWフィルタ10の各共振器（直列／並列）の静電容量を式2に示す条件を満足するように設計することで、第1の実施形態と同様に、浮遊静電容量の影響を低減させることが可能となる。

【0069】

また、本実施形態は、ラダー型SAWフィルタ10をフリップチップ実装する第2の実施形態にも適用することが可能である。即ち、パッケージ40に設けられた配線部44を上記の式12（式13）の条件を満たすマイクロストリップラインで構成することで、インピーダンスの整合性が向上し、ラダー型SAWフィルタの浮遊静電容量の影響を低減させることが可能となる。尚、このようなマイクロストリップラインの構成例を図20に示す。

【0070】

図20に示すように、本実施形態によるパッケージ40は、マイクロストリップラインで形成された配線部44と電極パッド部25と外部配線パッド部26とを有して構成されている。この構成において、配線部44は、上述のように、マイクロストリップライン構造を有している。また、電極パッド部25と電極パッド部15とは上述のように bumps 41が形成され、お互いに接続される。

【0071】

以上のように構成することで、チップの大型化を防止しつつ、インピーダンス整合を向上させ、ラダー型SAWフィルタの浮遊静電容量による影響を低減させることが可能となる。

【0072】

〔第4の実施形態〕

また、上述した第1の実施形態から第3の実施形態において、各ラダー型SAWフィルタ10の少なくともIDT12、好ましくは導電層全体は、図21に示すように、SiO₂膜等の誘電体膜61により被覆されていてもよい。これによ

り、ダイシング工程での切削水や大気中の水分により I D T 1 2 が腐食することを防止することができる。

【 0 0 7 3 】

〔他の実施形態〕

以上、説明した実施形態は本発明の好適な一実施形態にすぎず、本発明はその趣旨を逸脱しない限り種々変形して実施可能である。

【 0 0 7 4 】

【発明の効果】

以上説明したように、本発明によれば、5 G H z 帯に対応した弾性表面波フィルタ及びフィルタ装置であって、チップの大型化を防止しつつ、浮遊静電容量が低減された弾性表面波フィルタ及びフィルタ装置を提供することを目的とする。

【図面の簡単な説明】

【図 1】

従来技術においてフィルタ特性の中心周波数 f_0 を 5 . 2 5 G H z とした場合に式 2 で示した整合条件を満たす C_{op} と C_{os} との範囲を示すグラフである。

【図 2】

C_{op} と C_{os} とが図 1 の斜線部で示される範囲に入るように並列 S A W 共振器及び直列 S A W 共振器の開口長及び対数を設計して作製したラダー型 S A W フィルタのフィルタ特性を示すグラフである。

【図 3】

図 2 に示すフィルタ特性を示すラダー型 S A W フィルタの等価回路を示す図である。

【図 4】

従来技術においてフィルタ特性の中心周波数 f_0 を 1 . 9 G H z とした場合に式 2 で示した整合条件を満たす C_{op} と C_{os} との範囲を示すグラフである。

【図 5】

本発明の第 1 の実施形態によるラダー型弾性表面波 (S A W) フィルタ 1 0 の構造を示す上面図である。

【図 6】

図 5 に示すラダー型 S A W フィルタ 1 0 をパッケージ 2 0 に実装して構成されたフィルタ装置 3 0 の S A W 伝播方向に沿った断面を示す図である。

【図 7】

図 6 に示すフィルタ装置 3 0 の等価回路を示す図である。

【図 8】

フィルタ装置 3 0 に関して行ったシミュレーション結果を示すグラフである。

【図 9】

図 8 のシミュレーションに用いた各サンプルに対応するフィルタ特性を比較するためのグラフである。

【図 1 0】

本発明の第 1 の実施形態において $C_{op}C_{os} / (C_{op}C_{os})_0$ を 0. 7 から 3. 1 まで変化させた場合のフィルタ特性における 4 d B 帯域幅を示すグラフである。

【図 1 1】

本発明の第 1 の実施形態による具体例のように構成したラダー型 S A W フィルタ 1 0 における並列共振器 P 及び直列共振器 S の静電容量 C_{op} , C_{os} を示すグラフである。

【図 1 2】

本発明の第 1 の実施形態による具体例のように構成したラダー型 S A W フィルタ 1 0 をパッケージ 2 0 に実装したフィルタ装置 3 0 のフィルタ特性を示すグラフである。

【図 1 3】

図 1 2 における $-1 \sim -6$ d B の範囲の拡大図である。

【図 1 4】

図 1 3 における 4 d B 帯域幅に着目したグラフである。

【図 1 5】

本発明の第 2 の実施形態においてボンディングワイヤ 2 1 のインダクタンスを 0. 5 n H, 1 n H, 1. 5 n H とした場合の各サンプルのシミュレーション結果を示すグラフである。

【図 1 6】

図 1 5 のシミュレーションに用いた各サンプルに対応するフィルタ特性を比較するためのグラフである。

【図 1 7】

本発明の第 2 の実施形態による具体例のように構成した場合の各サンプルのフィルタ特性及び V S W R を示すグラフである。

【図 1 8】

図 1 7 におけるインダクタンスに対する V S W R を示すグラフである。

【図 1 9】

本発明の第 3 の実施形態によるフィルタ装置 5 0 の構成を示す断面図である。

【図 2 0】

本発明の第 3 の実施形態によるマイクロストリップラインの構成例を示す図である。

【図 2 1】

本発明の第 4 の実施形態によるフィルタ装置 6 0 の S A W 伝播方向に沿った断面を示す図である。

【符号の説明】

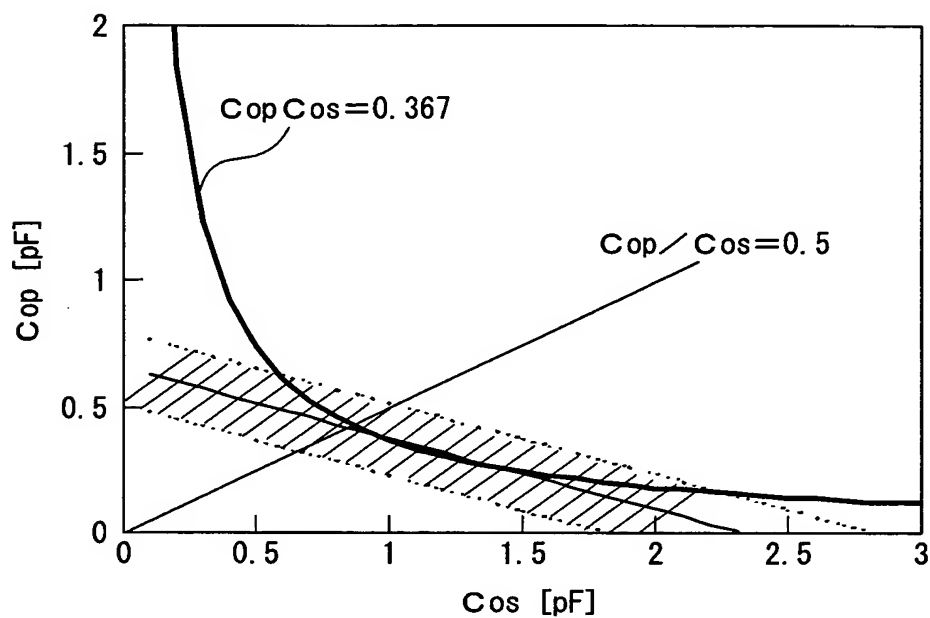
- 1 0 ラダー型 S A W フィルタ
- 1 1 基板
- 1 2 I D T
- 1 3 反射電極
- 1 4、2 4、4 4 配線部
- 1 5、2 5 電極パッド部
- 2 0、4 0 パッケージ
- 2 1 ボンディングワイヤ
- 2 6 外部配線パッド部
- 3 0、5 0、6 0 フィルタ装置
- 4 1 バンプ
- 6 1 誘電体膜

P, P 1、P 2 3、P 4 並列共振器

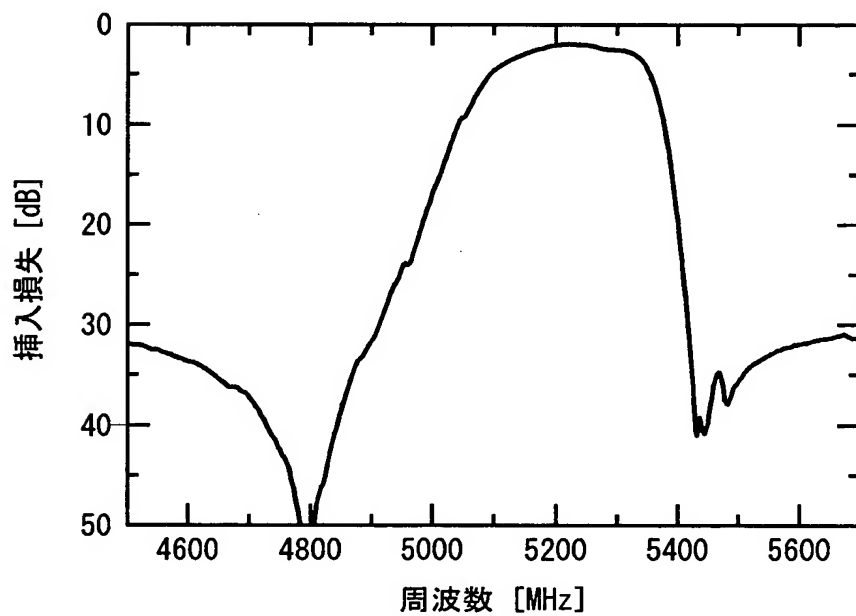
S、S 1 2、S 3 4 直列共振器

【書類名】

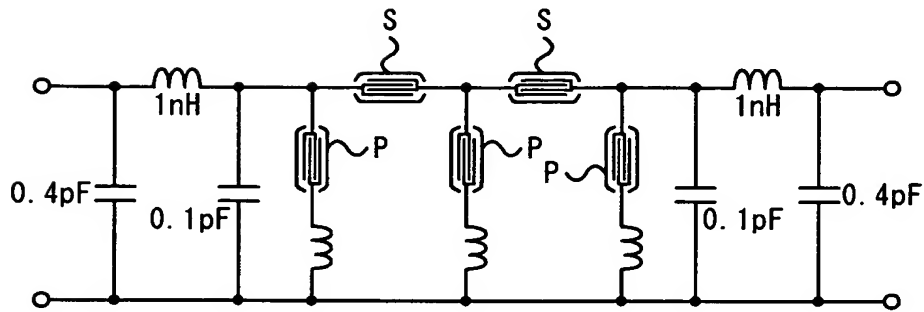
【図 1】



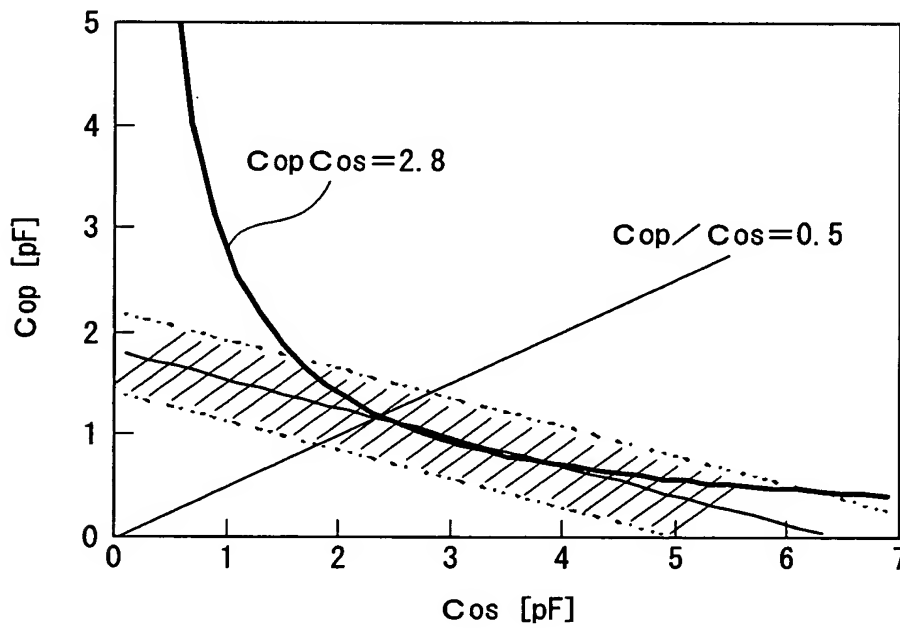
【図 2】



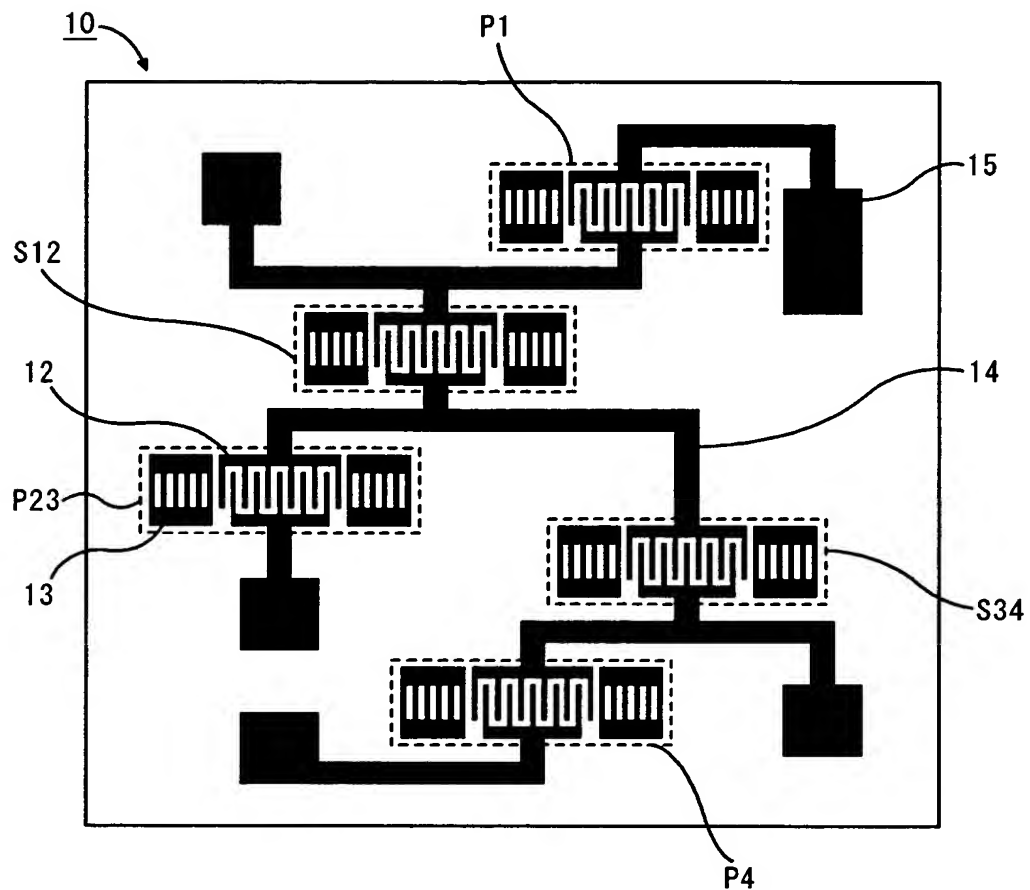
【図 3】



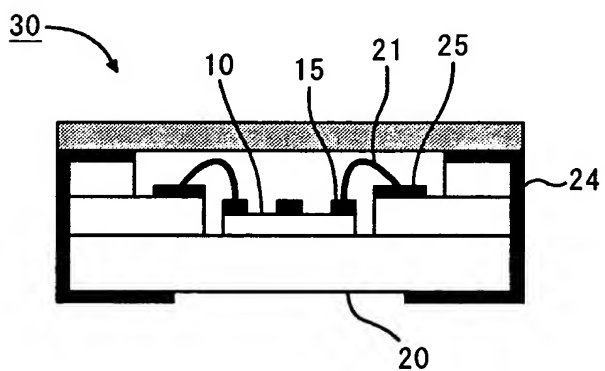
【図 4】



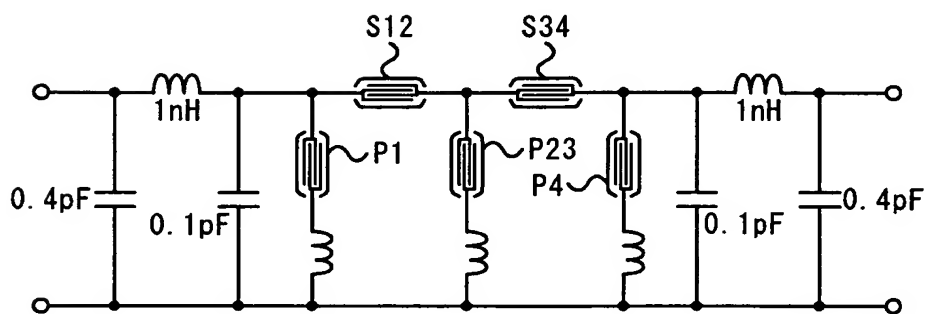
【図 5】



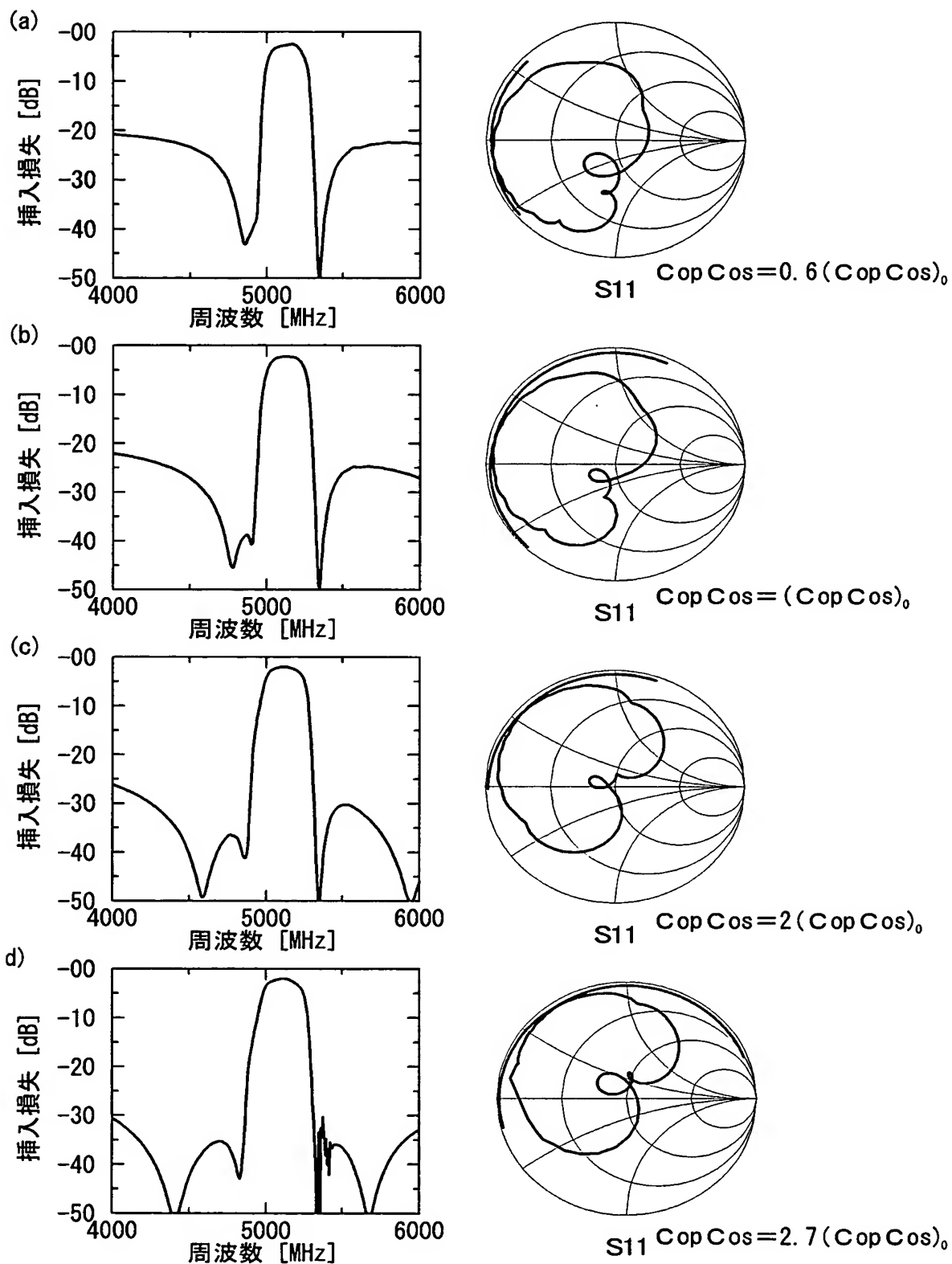
【図 6】



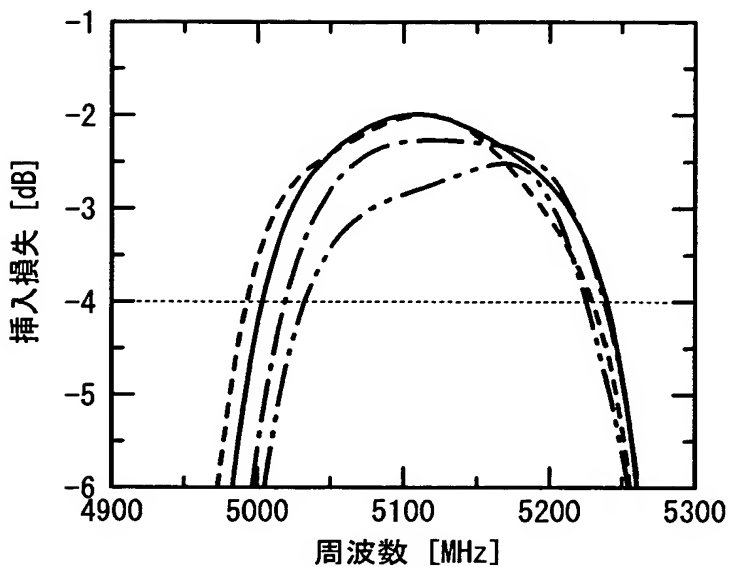
【図 7】



【図 8】

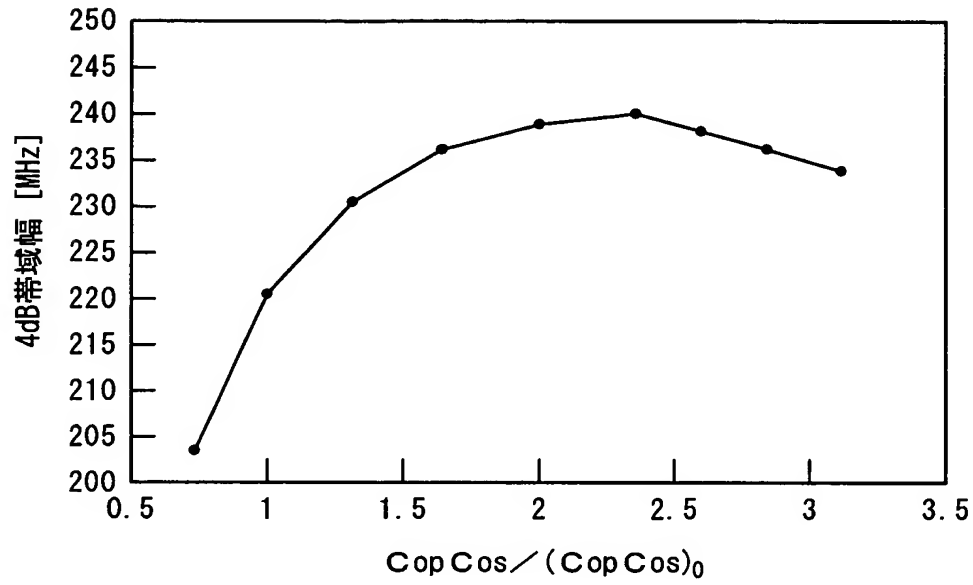


【図 9】

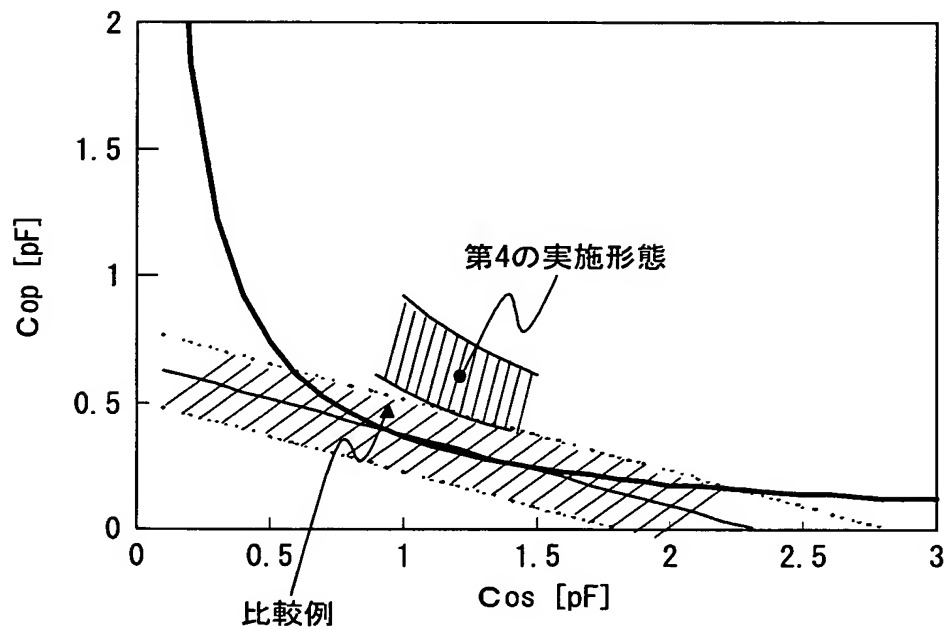


- (a) $-\cdot-\cdot-$ $Cop Cos = 0.6 (Cop Cos)_0$
 (b) $-\cdot-\cdot-\cdot$ $Cop Cos = (Cop Cos)_0$
 (c) $————$ $Cop Cos = 2 (Cop Cos)_0$
 (d) $-----$ $Cop Cos = 2.7 (Cop Cos)_0$

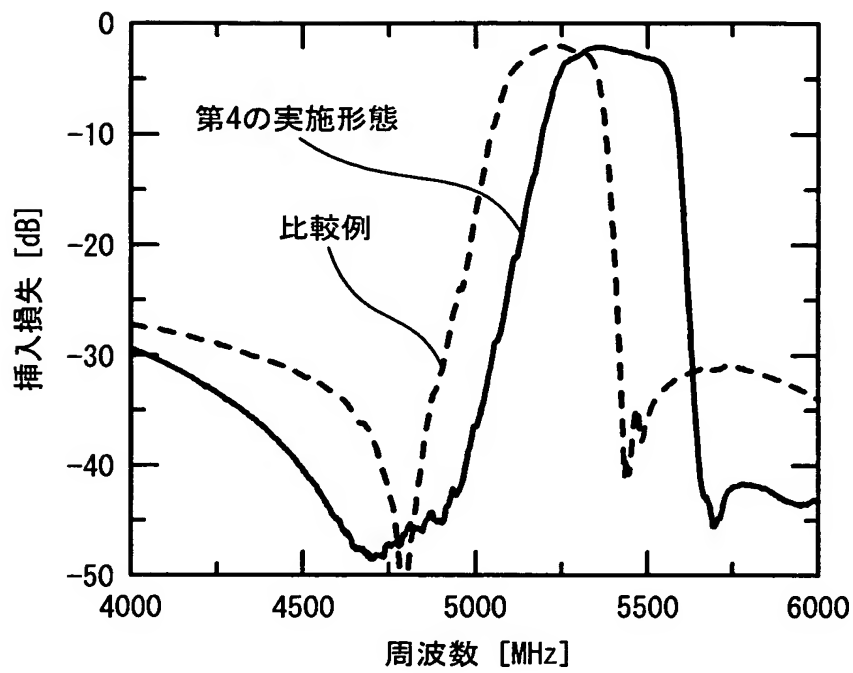
【図 1 0】



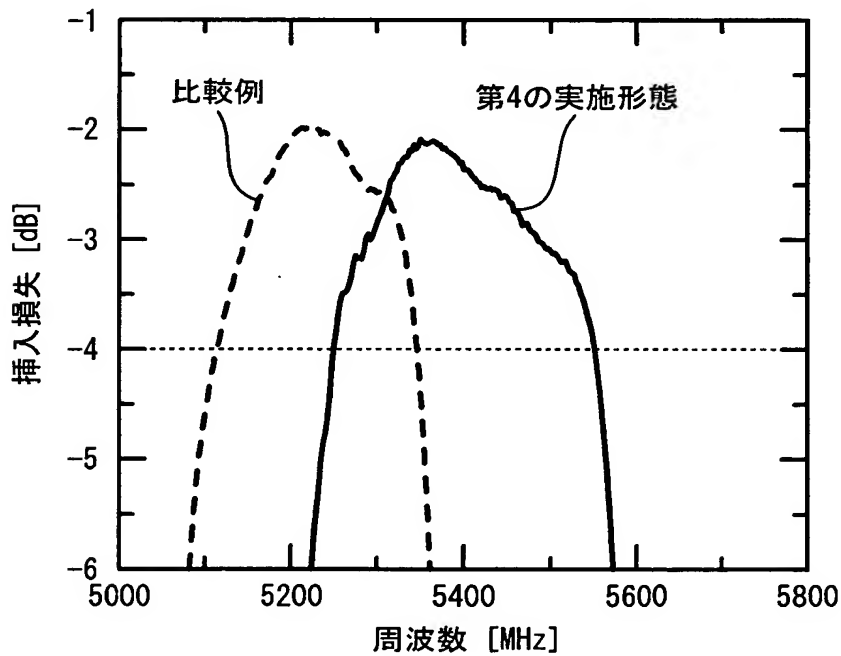
【図 1 1】



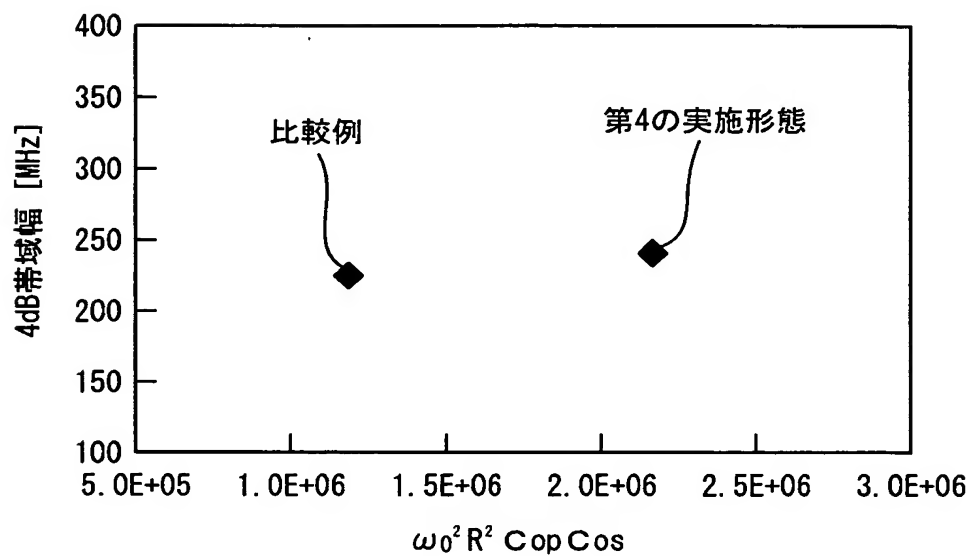
【図 1 2】



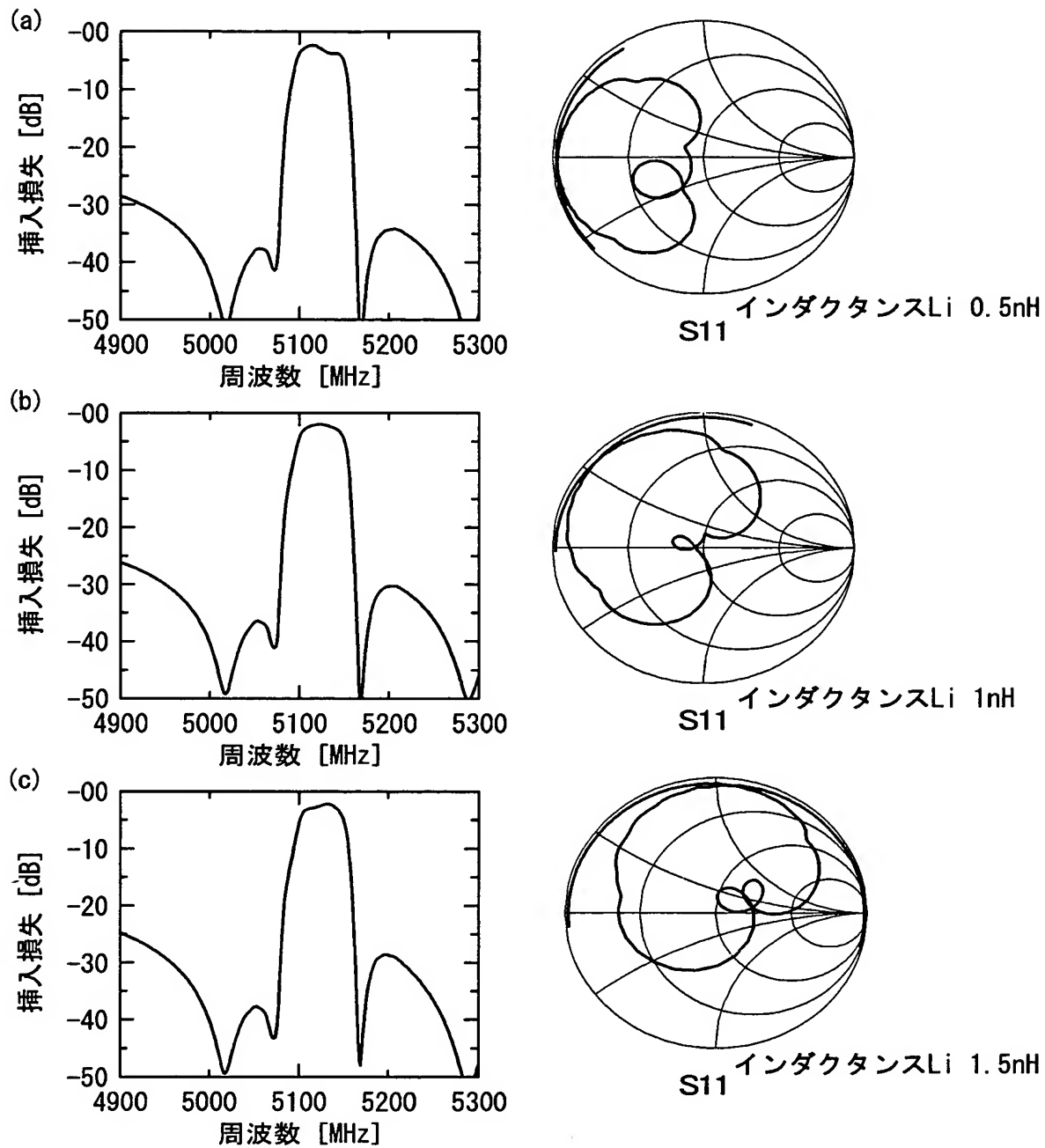
【図 1 3】



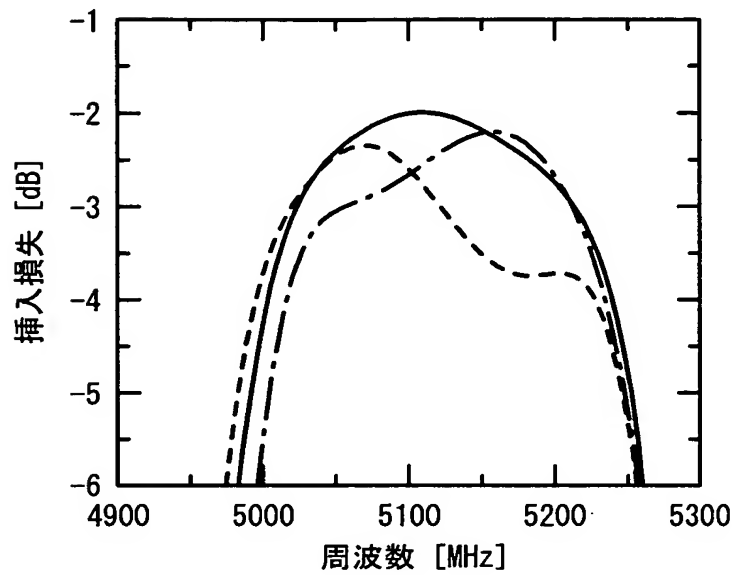
【図 1 4】



【図 15】

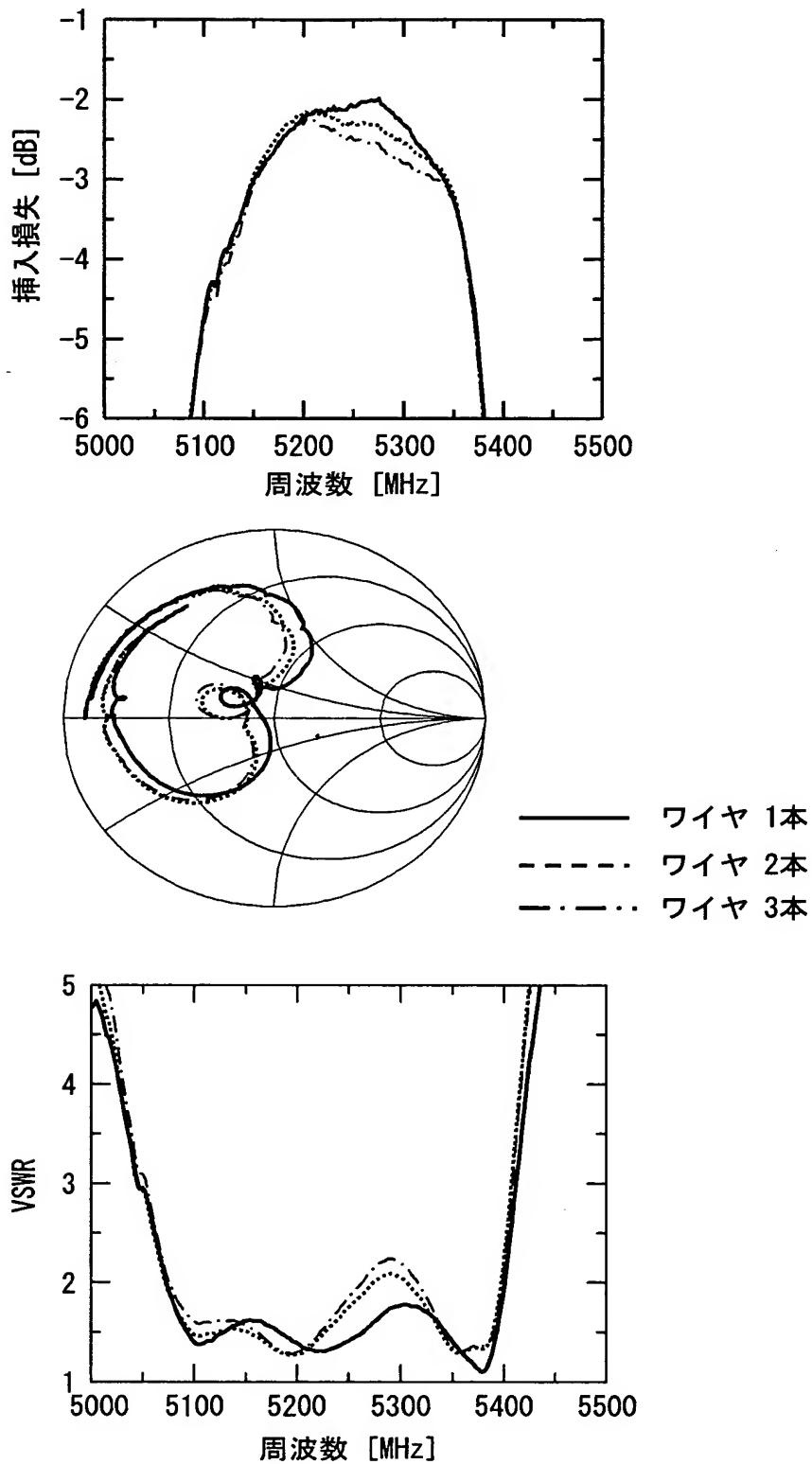


【図 16】

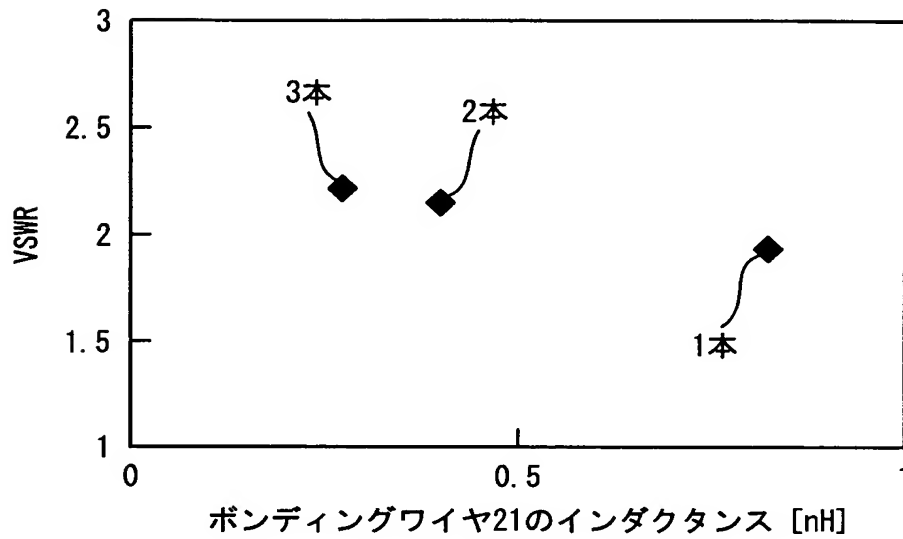


- (a) - - - - 信号ワイヤ 0.5nH
(b) ——— 信号ワイヤ 1nH
(c) — · — · 信号ワイヤ 1.5nH

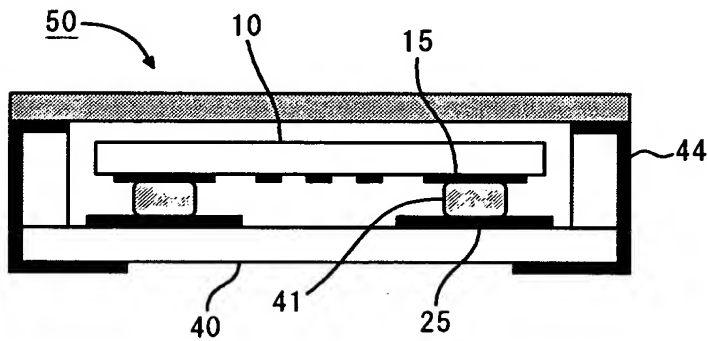
【図 1 7】



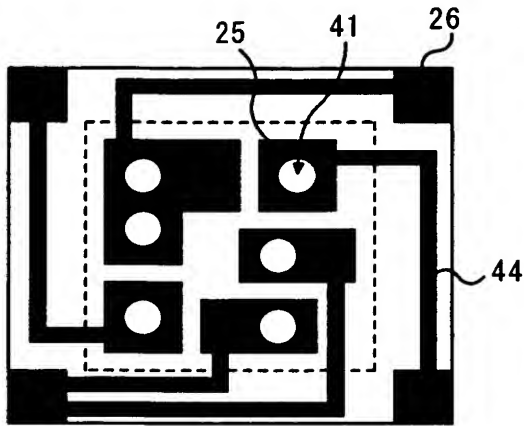
【図 1 8】



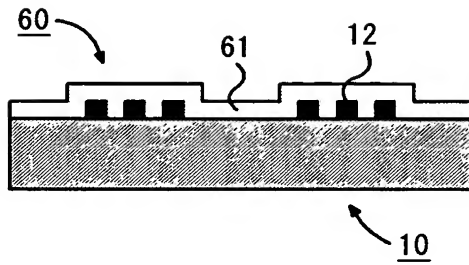
【図 1 9】



【図 2 0】



【図 2 1】



【書類名】 要約書

【要約】

【課題】 チップの大型化を防止しつつ、浮遊静電容量が低減された弾性表面波フィルタ及びフィルタ装置を提供する。

【解決手段】 並列SAW共振器（以下、単に並列共振器という）の静電容量 C_{op} と直列SAW共振器（以下、単に直列共振器という）の静電容量 C_{os} との積 $C_{op}C_{os}$ を以下の式7又は8、好ましくは式9を満足するように設計することで、インピーダンス整合を向上させる。

$$1 \times 10^6 \leq \omega_0^2 R^2 C_{op} C_{os} \leq 3.1 \times 10^6 \quad \dots \text{(式7)}$$

$$1.3 \times 10^6 \leq \omega_0^2 R^2 C_{op} C_{os} \leq 3.1 \times 10^6 \quad \dots \text{(式8)}$$

$$1.6 \times 10^6 \leq \omega_0^2 R^2 C_{op} C_{os} \leq 2.9 \times 10^6 \quad \dots \text{(式9)}$$

【選択図】 図10

出 願 人 履 歴 情 報

識別番号 [398067270]

1. 変更年月日 1998年10月26日
[変更理由] 新規登録
住 所 長野県須坂市大字小山460番地
氏 名 富士通メディアデバイス株式会社
2. 変更年月日 2002年10月28日
[変更理由] 住所変更
住 所 神奈川県横浜市港北区新横浜二丁目3番地12
氏 名 富士通メディアデバイス株式会社
3. 変更年月日 2002年11月 5日
[変更理由] 住所変更
住 所 神奈川県横浜市港北区新横浜二丁目3番12号
氏 名 富士通メディアデバイス株式会社

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社